

**Family list**

2 application(s) for: **JP10214487**

Sorting criteria: Priority Date Inventor Applicant Ecla

**1 INTEGRATED CIRCUIT WITH POWER SCATTER CONTROL**

**Inventor:** DAVID C MCCLURE

**Applicant:** SGS THOMSON MICROELECTRON  
INC

**EC:** G11C5/14R

**IPC:** *G05F1/56; G05F3/24; G11C11/407; (+11)*

**Publication** **JP10214487 (A)** - 1998-08-11  
**info:**

**Priority Date:** 1996-12-31

**2 Integrated circuit with power dissipation control**

**Inventor:** MCCLURE DAVID C [US]

**Applicant:** ST MICROELECTRONICS INC [US]

**EC:** G11C5/14R

**IPC:** *G05F1/56; G05F3/24; G11C11/407; (+9)*

**Publication** **US5898235 (A)** - 1999-04-27  
**info:**

**Priority Date:** 1996-12-31

---

Data supplied from the **espacenet** database — Worldwide

# INTEGRATED CIRCUIT WITH POWER SCATTER CONTROL

**Publication number:** JP10214487 (A)

**Publication date:** 1998-08-11

**Inventor(s):** DAVID C MCCLURE +

**Applicant(s):** SGS THOMSON MICROELECTRON INC +

**Classification:**


- international: **G05F1/56; G05F3/24; G11C11/407; G11C11/413; G11C5/14; G05F3/26; G05F1/10; G05F3/08; G11C11/407; G11C11/413; G11C5/14;** (IPC1-7): G05F1/56; G05F3/24; G11C11/413

- European: G11C5/14R

**Application number:** JP19970354340 19971224

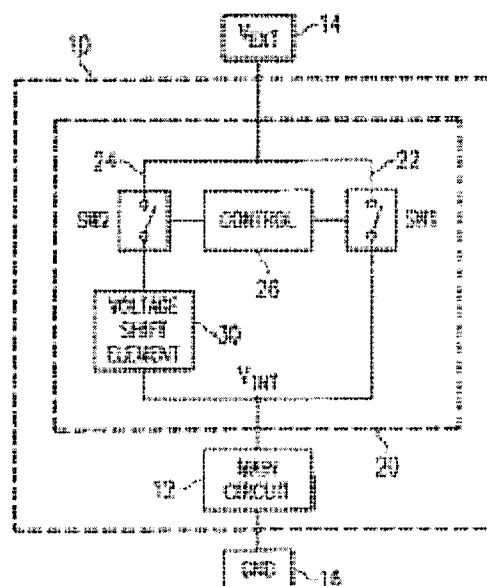
**Priority number(s):** US19960775611 19961231

**Also published as:**

 US5898235 (A)

## Abstract of JP 10214487 (A)

**PROBLEM TO BE SOLVED:** To reduce power consumption by providing a power consumption control circuit in an integrated circuit device, switching supply power to a main circuit from a whole power state to a reduced power state and reducing a voltage on an internal source node to a hold voltage of a regular operation voltage level or below. **SOLUTION:** At the time of an active mode of a memory array when the main circuit 12 reads the data from an external circuit, or writes the data in the external circuit, the main circuit 12 requires full power at the regular operation voltage. Further, at the time of the still mode of the memory array, a control circuit 26 opens a first switch SW1, and closes a second switch SW2, and supplies power to the main circuit 12 through a second power supply branch 24. In the second power supply branch 24, a voltage shift element 30 lowers the voltage from the regular operation voltage level to a required hold power level required for the status upkeep of the data stored in the memory array of the main circuit 12.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214487

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
G 1 1 C 11/413		G 1 1 C 11/34	3 3 5 B
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 K
3/24		3/24	Z

審査請求 未請求 請求項の数20 O L (全 8 頁)

(21) 出願番号 特願平9-354340

(22) 出願日 平成9年(1997)12月24日

(31) 優先権主張番号 08/775611

(32) 優先日 1996年12月31日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591236448

エスジーエーストムソン マイクロエレクトロニクス, インコーポレイテッド  
SGS-THOMSON MICROELECTRONICS, INCORPORATED

アメリカ合衆国, テキサス 75006,  
カーロルトン, エレクトロニクス ドライブ 1310

(72) 発明者 デイビッド シー, マククルーア  
アメリカ合衆国, テキサス 75007,  
カーロルトン, エリザベス ドライブ 3701

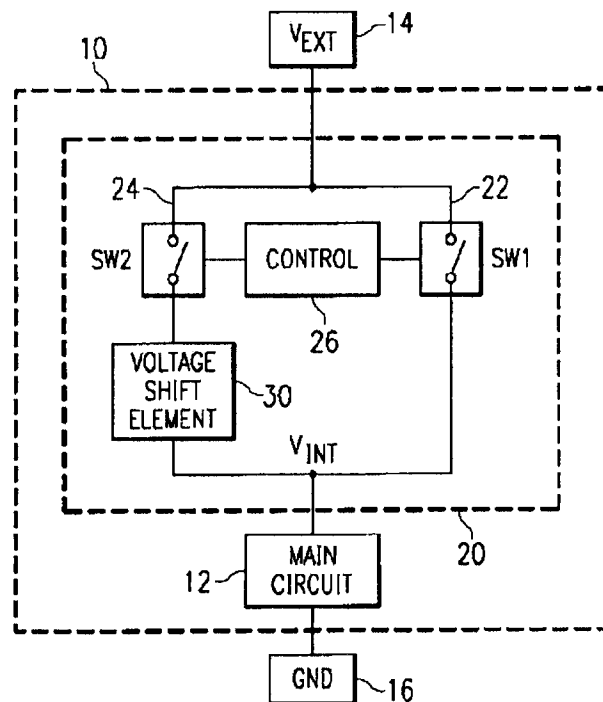
(74) 代理人 弁理士 小橋 一男 (外1名)

(54) 【発明の名称】 電力散逸制御を有する集積回路

(57) 【要約】

【課題】 電力消費を著しく減少させた集積回路装置を提供する。

【解決手段】 ポータブル電子装置の動作において非選択状態とされた場合に静止モードで動作するか又はバッテリバックアップモードで動作する S R A M 等の集積回路装置が、内部電力供給ノード上の電圧を減少させる電力散逸制御回路を有しており、従ってメモリアレイは、その中に格納されているデータを不変のまま維持するのに十分な最小レベルにおいて電力が駆動される。



【特許請求の範囲】

【請求項 1】 高及び低電圧端子によって供給される外部電力を使用し、前記高電圧端子が通常の動作電圧を供給する集積回路装置において、内部電源ノード、前記内部電源ノードと前記低電圧端子との間に接続されている主回路、前記高電圧端子と前記内部電源ノードとの間に接続されている電力散逸制御回路、を有しており、前記電力散逸制御回路は、異なる時間において異なる値の供給電圧を前記内部電源ノードへ接続させる第一及び第二並列枝を有しており、第一スイッチが前記第一枝内に配設されており且つ第二スイッチが前記第二枝内に配設されており、電圧シフト要素が前記第二スイッチと直列して前記第二枝内に配設されており、且つ前記第一及び第二スイッチの動作を制御する制御回路が設けられており、前記制御回路は、前記主回路が活性モードにある場合に、前記第一スイッチをターンオンさせ且つ前記第二スイッチをターンオフさせて前記高電圧端子を直接的に前記内部電源ノードへ接続させ、前記主回路が静止モードにある場合には前記制御回路が前記第一スイッチをターンオフさせ且つ前記第二スイッチをターンオンさせて前記電圧シフト要素を介して前記内部電源ノードへ電流を供給し、その際に前記電圧シフト要素が前記内部電源ノード上の電圧を通常の動作電圧レベル以下の保持電圧へ低下させることを特徴とする集積回路装置。

【請求項 2】 請求項 1 において、更に、前記電力散逸制御回路の第二枝を介して前記主回路へ電力を供給すべくバックアップバッテリーが接続されていることを特徴とする集積回路装置。

【請求項 3】 請求項 2 において、前記電圧シフト要素が、前記第二スイッチがオンである場合に少なくとも 1 個のターンオンスレッシュホールドの電圧降下を前記第二枝内に与える少なくとも 1 個の整流要素を有することを特徴とする集積回路装置。

【請求項 4】 請求項 3 において、前記整流要素がそのゲートをそのドレインへ接続した N チャンネル MOS FET を有していることを特徴とする集積回路装置。

【請求項 5】 請求項 3 において、前記整流要素が P N 接合ダイオードを有していることを特徴とする集積回路装置。

【請求項 6】 請求項 3 において、前記整流要素がそのベースをそのコレクタへ接続した N P N バイポーラトランジスタを有していることを特徴とする集積回路装置。

【請求項 7】 請求項 3 において、前記整流要素がそのベースをそのコレクタへ接続した P N P バイポーラトランジスタを有していることを特徴とする集積回路装置。

【請求項 8】 請求項 2 において、前記電圧シフト要素及び前記第二スイッチが比較的高いスレッシュホールド電圧を有する単一の N チャンネルトランジスタとして集

積化されていることを特徴とする集積回路装置。

【請求項 9】 請求項 8 において、前記 N チャンネルトランジスタがそのソース及びドレイン領域が高度にドーピングされており且つ軽度ドーピングされたドレイン部分を欠如している L D D 型トランジスタを有していることを特徴とする集積回路装置。

【請求項 10】 請求項 2 において、前記電圧シフト要素が抵抗を有していることを特徴とする集積回路装置。

【請求項 11】 請求項 10 において、前記抵抗が高固有抵抗多結晶シリコンを有していることを特徴とする集積回路装置。

【請求項 12】 高及び低電圧端子によって供給される外部電力と共に使用し、前記高電圧端子が通常動作電圧を供給する集積回路装置において、内部電力供給ノード、前記内部電力供給ノードと前記低電圧端子との間に接続されている主回路、前記高電圧端子と前記内部電力供給ノードとの間に接続されている電力散逸制御回路、を有しており、前記電力散逸制御回路が、第一及び第二の並列枝を有しており、前記枝の第一端部は前記高電圧端子に供給接続しており且つ前記枝の第二端部は前記内部電力供給ノードへ共通接続しており、第一 MOS トランジスタが前記第一枝内に配設されており且つ第二 MOS トランジスタが前記第二枝内に配設されており、電圧シフト要素が前記第二トランジスタと直列して前記第二枝内に配設されており、前記第一及び第二トランジスタのゲートへ制御信号を供給する制御回路が設けられており、前記制御回路は、本集積回路装置が本装置をして活性モードで動作させるチップ選択信号を受取る場合に、前記第一トランジスタをターンオンさせ且つ前記第二トランジスタをターンオフさせて前記高電圧端子を直接的に前記内部電力供給ノードへ接続させ、前記制御回路は、本集積回路装置が本装置をして静止モードで動作させるためのチップ非選択信号を受取る場合に前記第一トランジスタをターンオフされ且つ前記第二トランジスタをターンオンさせて前記高電圧端子から電流を前記第二枝を介してのみ前記主回路へ供給し、それにより、本装置が静止モードにある場合に、前記電圧シフト要素が前記内部電力供給ノード上の電圧を前記通常動作電圧のレベルより低い保持電圧へ低下させることを特徴とする集積回路装置。

【請求項 13】 請求項 12 において、前記電圧シフト要素が、前記第二 MOS トランジスタがオンである場合に、少なくとも 1 つのターンオンスレッシュホールドの電圧降下を前記第二枝内に与える少なくとも 1 個の整流要素を有していることを特徴とする集積回路装置。

【請求項 14】 請求項 13 において、前記第一 MOS トランジスタが P チャンネル MOS FET であり、前記第二 MOS トランジスタが N チャンネル MOS FET であり、前記整流要素がそのゲートをそのドレインへ接続

しているNチャンネルMOSFETであることを特徴とする集積回路装置。

【請求項15】 電力散逸制御能力を具備するバッテリーバックアップ型集積回路装置において、正及び負端子を具備するバックアップバッテリー、外部電力源へ接続するための高及び低電圧供給端子であって、前記低電圧供給端子が前記バックアップバッテリーの負端子へ接続される正及び負電圧供給端子、内部電力供給ノード、前記内部電力供給ノードと前記低電圧供給端子との間に接続されている主回路、前記高電圧供給端子を前記内部電力供給ノードへ接続している第一電力供給枝、前記バックアップバッテリーの正端子を前記内部電力供給ノードへ接続している第二電力供給枝、前記第一電力供給枝内に配設されており前記高電圧供給端子へ印加される外部電圧によって前記内部電力供給ノードを選択的に駆動する第一トランジスタ、前記第二電力供給枝内に配設されており前記バックアップバッテリーによって供給される電圧によって前記内部電力供給ノードを選択的に駆動する第二トランジスタ、前記第二トランジスタと直列して前記第二電力供給枝内に配設されている電圧シフト要素、前記高電圧供給端子及び前記バックアップバッテリーの正端子へ接続している制御回路であって、前記高電圧供給端子上の電圧レベルに応答して前記第一及び第二トランジスタを選択的にターンオン及びターンオフさせる制御信号を発生し、それにより前記電圧レベルが基準電圧よりも高い場合には前記第一トランジスタがターンオンされ且つ前記第二トランジスタがターンオフされ、且つ前記電圧レベルが前記基準電圧よりも低い場合には前記第一トランジスタがターンオフされ且つ前記第二トランジスタがターンオンされるように制御する制御回路、を有することを特徴とする集積回路装置。

【請求項16】 請求項15において、前記主回路がSRAMメモリであることを特徴とする集積回路装置。

【請求項17】 請求項16において、前記電圧シフト要素が、前記第二トランジスタがオンである場合に、少なくとも1個のターンオンスレッシュホールドの電圧降下を前記第二電力供給枝内に与える少なくとも1個の整流要素を有しており、それにより前記電圧シフト要素が、前記内部電力供給ノード上の電圧を前記バックアップバッテリーの電圧レベルよりも少なくとも1個のターンオンスレッシュホールド低い保持電圧へ低下させることを特徴とする集積回路装置。

【請求項18】 請求項17において、前記整流要素がそのゲートをそのドレインへ接続しているNチャンネルMOSFETを有していることを特徴とする集積回路装置。

【請求項19】 請求項17において、前記整流要素が

PN接合を有していることを特徴とする集積回路装置。

【請求項20】 請求項15において、前記電圧シフト要素が前記第二トランジスタの一部として集積化されており、且つ前記第二トランジスタが比較的高いスレッシュホールド電圧を有していることを特徴とする集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路装置に関するものであって、更に詳細には、電力消費が低いバッテリー駆動型集積回路に関するものである。

【0002】

【従来の技術】例えばスタティックランダムアクセスメモリ（SRAM）装置等の多くの集積回路は、それが使用されている機器がターンオフされるか又は該機器への電源に障害が発生した場合に、メモリ装置内に格納されているデータを維持するためのバックアップ電源としてバッテリーに依存している。このような集積回路はますます複雑なものとなっており、従ってこのようなバックアップバッテリーに対する要求が高まっている。バッテリー技術は改良されているが、バッテリー能力の増加はそれら使用される集積回路装置の増加するパワー条件にみあったものではない。従って、バッテリーバックアップモードで使用される場合には集積回路の電力消費を減少させることが必要である。

【0003】更に、ポータブル電子装置（コンピュータ、携帯電話等）は、通常の使用期間中に動作電力を供給するためにバッテリーに依存する。このような装置は、集積回路装置を使用しており、それはバッテリーの電力を消費し且つバッテリー再充電の間の動作時間を減少させる。従って、バッテリーの単一の充電での動作時間を延長させるためにポータブル電子装置において使用される集積回路の電力消費を減少させることが必要である。

【0004】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、電力消費を低下させた集積回路を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明によれば、電力消費制御回路が集積回路装置内に設けられ、それは集積回路装置の主回路の動作モードに依存して、該主回路へ供給される電力をフルパワー即ち全電力状態から減少させた電力状態へスイッチさせる。本発明の別の特徴によれば、集積回路メモリ装置が提供され、該装置が外部回路によって非選択状態とされる場合に低電力散逸モードへスイッチさせ、従って該装置は入力／出力動作を実行することなしに格納されている情報のステータスを維持することが必要であるに過ぎない。本発明の更に別の特徴によれば、集積回路メモリ装置が提供され、該装置はバ

ッテリバックアップ動作期間中に低電力散逸モードへスイッチされ、従って長期間にわたってその中に格納されているデータを維持するために最小の保持電圧を該装置へ印加させる。

#### 【0006】

【発明の実施の形態】図1を参照すると、本発明に基づいて構成された集積回路装置10が示されており、それはより大きな点線の輪郭内に含まれる回路として示してある。集積回路装置10は、主回路12を有しており、それは、好適には、例えばSRAMメモリアレイ等のメモリ回路である。従来のSRAMは、所謂「4T」及び「6T」タイプのものを包含しており、両方とも当該技術分野において公知である。4T型SRAMは4個のNチャンネルMOSFET（金属・酸化物・半導体電界効果トランジスタ）及び2個の抵抗をメモリアレイの各メモリセルに対して使用する。これらの抵抗は、典型的に、アレイ内を走行する多結晶シリコン（ポリシリコン）ラインからなる高固有抵抗部分である。6T型SRAMは6個のMOSFETを使用し、そのうちの2個はPチャンネルトランジスタであり且つそのうちの4個はNチャンネルトランジスタである。

【0007】集積回路装置10は高電圧端子14と低電圧端子16との間に接続されており、それらは、夫々、 $V_{ext}$ （外部電圧供給を表わしている）及びGND（接地端子を表わしている）として示されている。集積回路装置10はより小さな点線で囲まれた電力散逸制御回路20を有している。この電力散逸制御回路20は第一電力供給枝22を有しており、それは第二電力供給枝24と並列接続されている。第一スイッチSW1が第一枝22内に配設されており且つ第二スイッチSW2が第二枝24内に配設されている。電圧シフト要素30も第二スイッチSW2と直列して第二枝24内に配設されている。

【0008】第一及び第二枝22及び24は、高電圧端子14と内部電力供給ノード $V_{INT}$ との間に代替的な経路を与えている。主回路12は内部電力供給ノード $V_{INT}$ と低電圧即ちGND端子16との間に接続されている。スイッチSW1及びSW2の状態は制御回路26によって制御される。主回路12が活性モードにある場合には、即ち、それは、SRAMメモリアレイの場合には、外部回路からデータを読み取るか又は外部回路へデータを書込む場合に相当するが、主回路12は通常動作電圧レベルにおけるフルパワー即ち全電力を必要とする。然しながら、主回路が静止（quiescent）モードにある場合には、それは、SRAMメモリの場合には、その中に格納されているデータのステータスを単に維持することを意味しているが、それは通常動作電圧レベルにおけるフルパワー即ち全電力を必要とするものではない。その代わりに、静止モードにおいては、それは各メモリセルアレイにおけるトランジスタをターンオ

ンした状態に維持するために必要な最小電圧を印加することによってメモリアレイ内に格納されている情報のステータスを維持することが可能である。このような最小電圧即ち「保持」電圧は、該アレイの各メモリセルにおいて使用される典型的なトランジスタのスレッショールド電圧よりも1Vの10分の数V高いものであるに過ぎない場合がある。例えば、典型的なメモリセルにおいては、トランジスタはオン状態に維持されるためには単に0.6Vを必要とするに過ぎない。あるプロセスはNチャンネル及びPチャンネルトランジスタを製造するために使用されるドーピングを異なるものとさせ、従ってNチャンネルトランジスタはオン状態に維持されるために0.6V必要とする場合があり、一方Pチャンネルトランジスタはオン状態に維持されるのに約0.8V必要とする場合がある。従って、全部Nチャンネルトランジスタを使用する4T型SRAMの場合には、内部電力供給ノード $V_{INT}$ へ印加される約1.0Vの保持電圧がメモリアレイ内に格納されているデータを維持するのに充分である。PチャンネルとNチャンネルの両方のトランジスタを使用する6T型SRAMメモリの場合には、約1.2Vの保持電圧がメモリアレイ内に格納されているデータを維持するのに充分である。

【0009】従って、メモリアレイが静止モードで動作中の場合には、完全な通常の動作電圧をメモリアレイへ印加させることは不必要に過剰な電力散逸を発生させることとなることが理解される。従って、メモリアレイが静止モードにある場合には、制御回路26が第一スイッチSW1を開成し且つ第二スイッチSW2を閉成し、従って電力は第二枝24を介して主回路へ供給される。第二枝24においては、電圧シフト要素30が通常動作電圧のレベルから主回路12のメモリアレイ内において格納されているデータのステータスを維持するのに必要な所望の保持電圧レベルへの電圧降下を発生させる。

【0010】図2を参照して、本発明の特定の適用例について説明する。この適用例はメインのバッテリー（不図示）が通常動作電圧レベル $V_{cc}$ で電力を供給する場合のポータブル電子装置におけるバッテリーパワーを節約するために有用である。図2の集積回路装置は、大略参照番号40で示してあり、且つ高電圧端子 $V_{cc}$ と低電圧端子 $V_{ss}$ とを有している。装置40は主回路42を有しており、それは例えばSRAM又はDRAM等のメモリアレイとすることが可能であり、又は活性モードと静止モードとを有するその他の種々の集積回路のいずれかとすることが可能である。

【0011】主回路42は内部電力供給ノード $V_{INT}$ と低電圧端子 $V_{ss}$ との間に接続されている。電力散逸制御回路44が高電圧端子 $V_{cc}$ と内部電力供給ノード $V_{INT}$ との間に接続されている。電力散逸制御回路44は、第一枝46を有しており、それは第二枝48と並列して接続されている。第一枝46はPチャンネルMOSトラン

ジスタ $T_1$ を有しており、それは高電圧端子 $V_{cc}$ を内部電力供給ノード $V_{INT}$ へ接続させる。第二枝48は第一NチャンネルMOSトランジスタ $T_2$ を有しており、それは第二NチャンネルMOSトランジスタ $T_3$ と直列して高電圧端子 $V_{cc}$ を内部電力供給ノード $V_{INT}$ へ接続する経路内に設けられている。トランジスタ $T_3$ がダイオードとして機能すべくそのゲートをそのドレインへ接続して公知の態様で接続されている。

【0012】制御回路50は、トランジスタ $T_1$ 及び $T_2$ のゲートの間の共通接続部に印加される制御信号 $V_{CTR}$ によってトランジスタ $T_1$ 及び $T_2$ のオン及びオフ状態を制御する。従って、トランジスタ $T_1$ がオンである場合には、トランジスタ $T_2$ がオフであり、その逆も又真である。制御回路50は、集積回路装置40へ印加される外部信号Sに応答して動作する。例えば、入力する信号Sが集積回路装置外部の他の回路からのチップ選択及びチップ非選択信号を伝達する場合がある。制御回路50は信号Sを解釈して、集積回路装置40が通常動作のために信号Sによって選択されている即ち「イネーブル」される場合には、トランジスタ $T_1$ をターンオンさせ且つトランジスタ $T_2$ をターンオフさせる低電圧信号として $V_{CTR}$ を印加させる。このような条件においては、通常の $V_{cc}$ 動作電圧が主回路42へ印加され、トランジスタ $T$ を横断して基本的に電圧降下は発生しない。何故ならば、それは強くターンオンされているからである。集積回路装置40が入力する信号Sによって非選択状態とされる場合には、制御回路50は、高電圧レベルにおける制御信号 $V_{CTR}$ を発生してトランジスタ $T_1$ をターンオフさせ且つトランジスタ $T_2$ をターンオンさせる。これらの条件下においては、電圧 $V_{cc}$ は内部電力供給ノード $V_{INT}$ に表われる前にトランジスタ $T_1$ 及び $T_3$ を横断しての電圧降下によって減少される。トランジスタ $T_2$ は特にNチャンネルトランジスタとして示してあるが、それは反転した $V_{CTR}$ 信号によって駆動されるPチャンネルトランジスタとして実現することも可能である。然しながら、前述したようにNチャンネルトランジスタ $T_2$ によって与えられる増加した電圧降下は本発明の特定の具体例において好適な場合がある。

【0013】ノード $V_{INT}$ において必要とされる通常電圧供給 $V_{cc}$ 及び最小保持電圧の夫々のレベルに基づいて、例えばトランジスタ $T_3$ のような1つ又はそれ以上の付加的なトランジスタを2番目の枝48内において直列して接続させることが可能である。例えば、簡単に図4を参照すると、2個のNチャンネルトランジスタ $T_A$ 及び $T_B$ を直列して接続させ且つ各々のゲートをそのドレインへ接続させることによって、図2における単一のトランジスタ $T_3$ の電圧降下の2倍の電圧降下を与えることが可能である。従って、電力散逸制御回路44の第二枝48内の電圧降下は、 $V_{cc}$ から静止モードにおいて主回路42の条件を維持するのに必要なほぼ最小の保持

電圧へ電圧レベルを減少させるために適宜調節させることが可能である。本発明のこの適用例は、メモリ装置が非選択状態にあり且つ単に静止状態でデータを維持するに過ぎない場合に、例えばSRAMメモリ装置等の集積回路装置の電力散逸を減少させることによってバッテリー駆動型ポータブル電子装置の動作時間を延長させるものであることが理解される。

【0014】次に、図3を参照して、バッテリーバックアップ型SRAMに関連して本発明の別の実施例について説明する。図3は集積回路装置を大略参照番号60で示してある。集積回路装置60は主回路62を有しており、それは、この場合には、SRAMメモリアレイである。それは、前述した如く、4T型か又は6T型のいずれかのSRAMとすることが可能である。

【0015】主回路62は、通常、高電圧端子 $V_{cc}$ と低電圧端子 $V_{ss}$ に接続されている従来の外部電源（不図示）によって電力が供給される。外部電源に障害が発生した場合に、バックアップバッテリー $V_{BAT}$ が接続されて主回路62に対する電力供給源を与える。典型的に、このようなバックアップバッテリーは集積回路装置60のハウジング（不図示）へ直接的に取付けられる小型のバッテリーである。

【0016】バックアップバッテリー $V_{BAT}$ は負端子64と正端子66とを有している。負端子64は低電圧端子 $V_{ss}$ へ接続している。主回路62は、内部電力供給ノード $V_{INT}$ と低電圧端子 $V_{ss}$ との間に接続している。第一電力供給枝68は、高電圧端子 $V_{cc}$ をPチャンネルMOSトランジスタ $T_1$ を介して内部電力供給ノード $V_{INT}$ へ接続している。第二電力供給枝70が、バックアップバッテリー $V_{BAT}$ の正端子66を、直列接続されているNチャンネルトランジスタ $T_2$ 及び $T_3$ を介して内部電力供給ノード $V_{INT}$ へ接続している。

【0017】高電圧端子 $V_{cc}$ とバックアップバッテリー $V_{BAT}$ の正端子66へ接続している制御回路72が、主回路62に対して電力が第一枝68を介して供給されるか又は第二枝70を介して供給されるかを決定する。トランジスタ $T_1$ 及び $T_2$ のゲートは制御回路72によって発生される制御信号 $V_{CTR}$ を受取るノードにおいて共通接続されている。制御回路72は高電圧端子 $V_{cc}$ 上の電圧のレベルを検知し且つそれを内部的に発生された基準電圧と比較し、それにより、高電圧端子 $V_{cc}$ 上の電圧レベルがバックアップバッテリー動作を必要とするレベルへ降下したか否かを表わすことが可能である。制御回路72は、高電圧端子 $V_{cc}$ 上の電圧レベルが基準電圧よりも高い場合には、低レベル（即ち、接地即ち $V_{ss}$ における）制御信号 $V_{CTR}$ を発生する。これはトランジスタ $T_1$ をターンオンさせ且つトランジスタ $T_2$ をターンオフさせた状態に維持し、従って主回路62は $V_{cc}$ 接続部を介して外部電圧源から直接的に電力が供給される。然しながら、高電圧端子 $V_{cc}$ 上の電圧レベルが基準電圧より

降下すると、制御回路72は、トランジスタ $T_1$ をターンオフさせ且つトランジスタ $T_2$ をターンオンさせるのに十分な高レベルにおける制御信号 $V_{CTR}$ を発生し、従って電力は、第二枝70及びその中に設けられている直列接続されているトランジスタ $T_2$ 及び $T_3$ を介してバックアップバッテリー $V_{BAT}$ によって主回路62へ供給される。

【0018】図2におけるように、図3のトランジスタ $T_3$ は、電圧シフト要素として作用し、それは内部電力供給ノード $V_{INT}$ における電圧レベルを主回路62のメモリ内に格納されているデータを維持するのに必要な最小の保持電圧レベルへ減少させるための1つのターンオンスレッショールド電圧降下を与えている。前述したように、図3の単一のトランジスタ $T_3$ の代わりに2個又はそれ以上のこのようなダイオード接続したNチャンネルトランジスタ（例えば、図4参照）を置換させることが可能である。更に、図1に関連して一般的に説明した電圧シフト要素30は、例えば図2及び3におけるトランジスタ $T_3$ のようなダイオード接続したMOSトランジスタとして実現することは必ずしも必要ではなく、その代わりに、例えば以下に説明するようなその他の回路要素によって実現することも可能である。

【0019】図5は、図2及び3のダイオード接続型MOSトランジスタ $T_3$ に対する代替物として抵抗 $R$ を示している。この抵抗 $R$ は、高抵抗値を与えるために種々の公知の技術を使用して集積回路装置において製造することが可能なものである。例えば、抵抗 $R$ は、高固有抵抗多結晶シリコン（ポリシリコン）のストリップ内に構成することが可能である。このような高固有抵抗ポリシリコン抵抗は、通常、4T型SRAMメモリセルにおける負荷要素として使用されている。

【0020】然しながら、例えばダイオード又はダイオード接続型トランジスタの整流要素は、電圧シフト要素として非整流型抵抗よりも好適である。何故ならば、整流要素は、抵抗と比較してより予測可能な電圧降下を与えるからである。更に、 $V_{CC}$ 端子へ印加される外部パワーが瞬間的に降下し次いで通常のレベルに復帰する場合には、整流型の電圧シフト要素を設けてない場合にデータが失われる可能性がある。例えば、静止モードにおける図2の集積回路装置40の動作は $V_{CC}$ が瞬間的に落下する場合において整流型電圧シフト要素（即ちトランジスタ $T_3$ ）を使用することから利点を得られる。

【0021】図6は図2及び3におけるトランジスタ $T_3$ の代わりに1個又はそれ以上の直列接続したダイオード $D_A$ 及び $D_B$ を使用する代替物を示している。1個又はそれ以上のこのようなダイオード $D_A$ 及び $D_B$ は図1の電圧シフト要素30として機能することが可能である。何故ならば、このような各ダイオードは図2及び3のトランジスタ $T_3$ によって与えられるスレッショールド電圧降下と同様の態様で約0.6Vの1個のターン

オンスレッショールドに等しい電圧降下を供給するからである。図6のダイオード $D_A$ 及び $D_B$ は、図7に示したような従来の態様で実現することが可能である。その場合に、N+及びP+のドープ領域は、従来の技術を使用して基板78内に形成されるPウェル76内に設けられる。

【0022】図8及び9はバイポーラトランジスタを製造し且つそのベースをそのコレクタへ接続することによって集積回路内にダイオードの均等物を製造する付加的な変形例を示している。図8は、ダイオード等価物を与えるべく接続したNPNバイポーラトランジスタ $T_{NPN}$ を示している。図9はダイオード等価物を与えるべく接続したPNPバイポーラトランジスタ $T_{PNP}$ を示している。これらのダイオード接続型バイポーラトランジスタのいずれもが、図2及び3のダイオード接続したNチャンネルトランジスタ $T_3$ と同様の態様で電圧シフト要素として作用することが可能である。

【0023】図10は本発明の回路内において使用される場合に、通常のスレッショールド電圧よりも一層高く且つ対応的に一層高い電圧降下を与えるトランジスタの実現例を示している。図10のトランジスタは、概略参照番号80で示してあり、軽度ドープしたドレイン（LDD）タイプトランジスタの修正形態のものである。トランジスタ80はNチャンネルMOSFETであって、ゲート層82がゲート酸化物層84の上側に配設されており且つゲート82の側部において従来のLDD型酸化物スペーサ86及び88を有している。トランジスタ80はソース及びドレイン領域90及び92を有しており、それらは完全に高度にドープされている。点線94及び96は、軽度ドープしたドレイン領域が通常形成される位置を表わしているが、この場合には、これらの領域内においてドーピングは与えられていない。従って、ソース及びドレイン領域90及び92は、従来のMOSFET装置のようにゲート82の下側に延在するものではない。このNチャンネルMOSFETの修正形態は、通常のものよりも一層高いターンオンスレッショールド電圧を有するトランジスタを提供している。例えば、このタイプのこのような装置は、1.2乃至2.0Vの範囲内のスレッショールド電圧を有するように製造することが可能である。図10のトランジスタ80を効果的に使用することにより、スイッチSW2及び図1の電圧シフト要素30をこのタイプの単一の高いスレッショールドのトランジスタと共に実現することが可能である。図2及び3の特定の回路において、トランジスタ $T_2$ はこのような高いスレッショールド電圧のトランジスタを使用して実現することが可能であり、従って、該回路のその枝内に所望の電圧降下を達成するために、それと直列する何等付加的なトランジスタ $T_3$ を設けることが必要でない場合がある。

【0024】本発明において有用な好適な高スレッショ



ホールド電圧トランジスタは図10に示したタイプのものであるが、トランジスタのターンオンスレッシュホールド電圧を増加させるその他の方法がある。例えば、ゲート酸化膜を一層厚くさせることが可能であり、又はチャンネル内のドーピングを調節することが可能である。このようなその他のタイプの高いスレッシュホールド電圧のトランジスタは、図2及び3のトランジスタ $T_2$ 及び $T_3$ によって達成される所望の電圧降下を与えるために置換させることが可能である。

【0025】 前述した説明から、理解されるように、本発明の集積回路装置は、静止ノード又はバッテリーバックアップモードで動作する場合に電力散逸を著しく減少させることを可能としている。SRAM例においては、主動作回路を、該装置内に格納されているデータを維持するための最小の保持電圧レベルより僅かに高い電圧で動作させることが可能である。主回路がより低い電圧で動作されるので、電力散逸は著しく減少される。従って、本発明は、バックアップバッテリーを使用する集積回路装置における適用において有用であるばかりか、ポータブル電子機器において使用される集積回路装置の場合にも効果的なものであることが理解される。以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

#### 【図面の簡単な説明】

【図1】 本発明の1実施例に基づく装置を示した概略回路図。

【図2】 本発明の別の実施例に基づいて構成した装置を示した概略回路図。

【図3】 本発明の更に別の実施例に基づいて構成した装置を示した概略回路図。

【図4】 本発明の装置において使用するのに好適な構成要素の一例を示した概略図。

【図5】 本発明の装置において使用するのに好適な構成要素の別の1例を示した概略図。

【図6】 本発明の装置において使用するのに好適な更に別の1例を示した概略図。

【図7】 図6の構成に使用したPN接合ダイオードを示した概略断面図。

【図8】 本発明の装置において使用するのに適した構成要素の更に別の例を示した概略図。

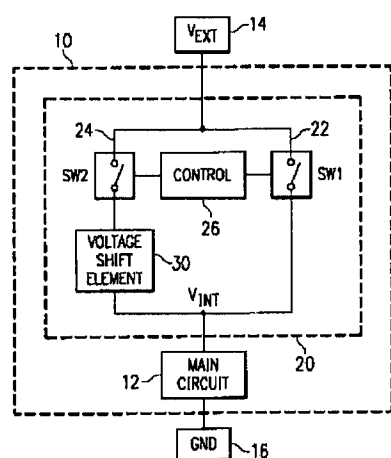
【図9】 本発明の装置において使用するのに適した構成要素の更に別の例を示した概略図。

【図10】 本発明の更に別の実施例において有用な比較的高いスレッシュホールド電圧を与えるために製造したトランジスタを示した概略断面図。

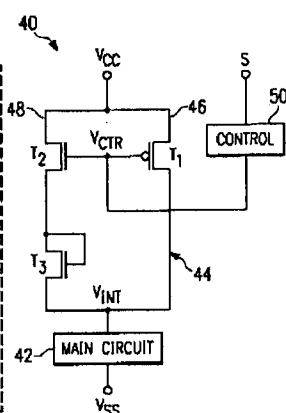
#### 【符号の説明】

- 10 集積回路装置
- 12 主回路
- 14 高電圧端子
- 16 低電圧端子
- 20 電力散逸制御回路
- 22 第一電力供給枝
- 24 第二電力供給枝
- 26 制御回路

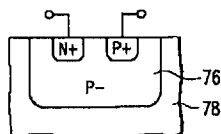
【図1】



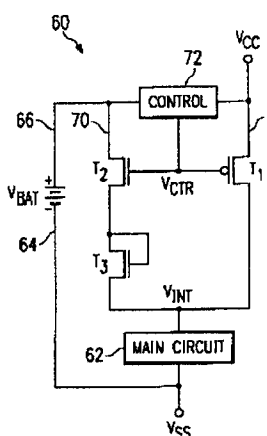
【図2】



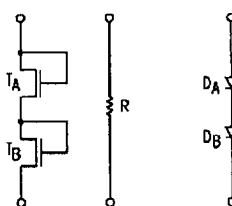
【図7】



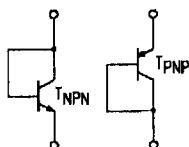
【図3】



【図4】 【図5】 【図6】



【図8】 【図9】



【図10】

